

Układy 4096-bitowych pamięci statycznych RAM charakteryzują się:

- trójstanowymi wyjściami danych,
- wspólnymi wejściami, wyjściami danych,
- pełną kompatybilnością z układami TTL.

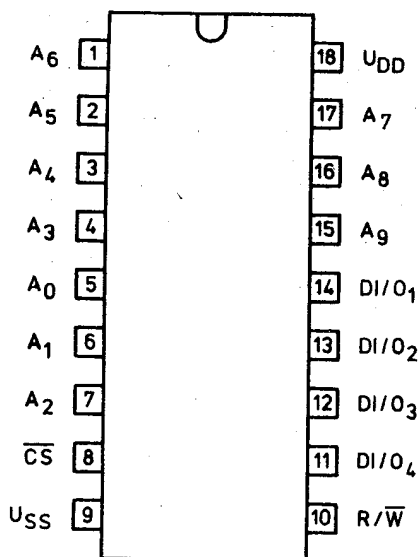
Układy segregowane są na trzy typy różniące się czasem dostępu.

**MCY 7114N...**  
Pamięć statyczna RAM  
4x1024 bity

Informacja wstępna

LSI NMOS  
Bramka krzemowa

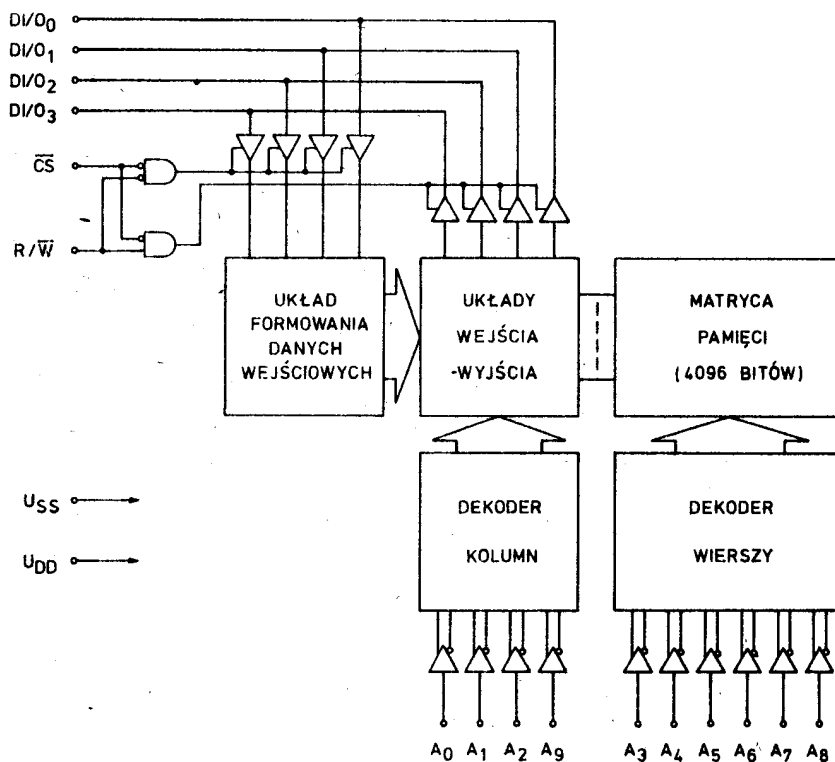
Obudowa CE 81



Układ wyprowadzeń

Opis wyprowadzeń

- $U_{SS}, U_{DD}$  - wejścia zasilające
- $A_0 \div A_9$  - wejścia adresowe
- $\overline{CS}$  - wejście wyboru układu
- $R/\overline{W}$  - wejście wyboru rodzaju pracy
- $DI/O_1 \div DI/O_4$  - wejścia/wyjścia danych



Blokowy schemat wewnętrzny

## Parametry dopuszczalne

$/U_{SS} = 0 \text{ V}/$

Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
$U_{DD}$	Napięcie zasilania	V	-0,5	7
$U_W$	Napięcie na pozostałych wyprowadzeniach	V	-0,5	7
$P_D$	Moc rozpraszana	W		1
$t_{amb}$	Temperatura otoczenia w czasie pracy	$^{\circ}\text{C}$	0	+70
$t_{stg}$	Temperatura przechowywania	$^{\circ}\text{C}$	-40	+125

## Parametry charakterystyczne statyczne

$/U_{SS} = 0 \text{ V}; t_{amb} = +25^{\circ}\text{C}/$

Oznaczenie	Nazwa	Jedn.	Wartość		Warunki pomiaru
			min	max	
$U_{DD}$	Napięcie zasilania	V	4,75	5,25	
$U_{IH}$	Napięcie wejściowe w stanie wysokim	V	2,4		
$U_{IL}$	Napięcie wejściowe w stanie niskim	V		0,8	
$I_{LI}$	Prąd upływności wejść	$\mu\text{A}$		10	$U_I = 0 - 5,25 \text{ V}$ wejścia razem
$U_{OH}$	Napięcie wyjściowe w stanie wysokim	V	2,4		$I_{OH} = -1\text{mA}$
$U_{OL}$	Napięcie wyjściowe w stanie niskim	V		0,4	$I_{OL} = 2,1 \text{ mA}$
$I_{DD}$	Prąd zasilania	mA		120	$U_I = U_{DD} = 5,25 \text{ V}$ wyjścia otwarte

Parametry charakterystyczne pojemności / $U_{SS} = 0\text{ V}$ ;  $t_{amb} = +25^{\circ}\text{C}$ /

Oznaczenie	Nazwa	Jedn.	Wartość		Warunki pomiaru
			max		
$C_I$	Pojemność wejściowa	pF	5		f = 1 MHz
$C_O$	Pojemność wyjściowa	pF	5		

Parametry charakterystyczne dynamiczne

/obciążenie: 1 bramka TTL i pojemność 50 pF/

Oznaczenie	Nazwa	Jedn.	Wartość - typ					
			MCY 7114NA		MCY 7114NB		MCY 7114NC	
			min	max	min	max	min	max
<b>Cykl odczytu</b>								
$t_{RC}$	Czas cyklu odczytu	ns	200		300		450	
$t_A$	Czas dostępu względem adresu	ns		200		300		450
$t_{CO}$	Czas dostępu względem zezwolenia $\overline{CS}$	ns		70		100		100
$t_{CX}$	Czas opóźnienia stanu aktywnego We-Wy względem zezwolenia $\overline{CS}$	ns	0		0		0	
$t_{OTD}$	Czas opóźnienia stanu nieaktywnego We-Wy względem zakazu $\overline{CS}$	ns		40		80		100
$t_{OHA}$	Czas trwania danych wyjściowych po zmianie adresu	ns	10		10		10	
<b>Cykl zapisu</b>								
$t_{WC}$	Czas cyklu zapisu	ns	200		300		450	
$t_W$	Czas zapisu	ns	100		150		200	
$t_{WR}$	Czas zakończenia zapisu przed zmianą adresu	ns	20		0		0	
$t_{OTW}$	Czas opóźnienia stanu nieaktywnego We-Wy względem zezwolenia zapisu	ns		40		80		100
$t_{DW}$	Czas trwania danych wejściowych	ns	100		150		200	
$t_{DH}$	Czas przetrzymania danych wejściowych	ns	0		0		0	

