

LC898023

CMOS LSI

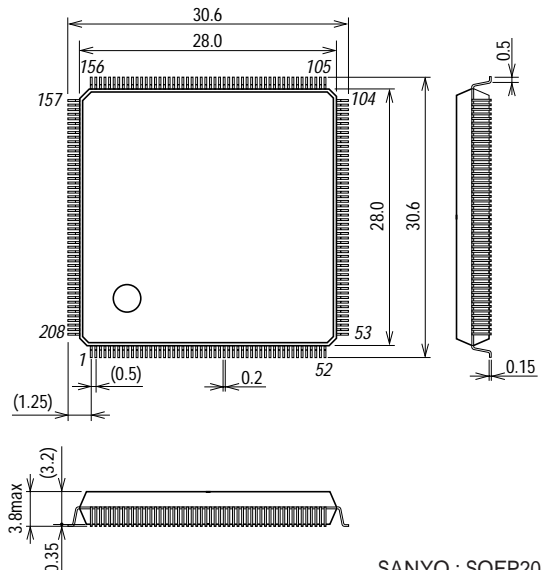
暫定規格

SCSI I/F内蔵 32倍速再生/12倍速書込み CD-R/RWエンコーダ&デコーダLSI

- 機能**
- CD-ROMデコード/エンコード機能
 - CDデコード/エンコード機能
 - Pit & Wobble-CLV-servo機能
 - CAV-Audio機能
 - SCSI I/F (Register部他)
 - SUB-CODEエンコード/デコード機能
 - ATIP-Demodulater/ATIP-Decord
 - Write Strategy機能 (CD-R/RW)
 - Digital-Servo内蔵CD-DSP機能

- 特長**
- CD-ROMデータへのECC, EDCの訂正/付加 (デコード/エンコード)。
 - SUB-CODEデータのECCによるエラー訂正/付加 (デコード/エンコード)。
 - Digital-Servoによるサーボ制御 (デコード/エンコード)。
 - ATIPデータによるWobble-CLVサーボ制御 (エンコード)。
 - ATIPデコード機能 および CRCチェック機能 (エンコード/デコード)。
 - CIRC符号の生成付加 および EFM変調 (エンコード)。
 - CAV-Audio機能。
 - ×8 (×12)記録対応のWrite Strategy機能。
 - SCSI I/F内蔵 (Ultra SCSI対応)。
 - デコード32倍速/エンコード12倍速対応
 - 使用周波数 : CD-ROM部 : 33.8688MHz、SISI部 : 20MHz
 - 転送速度Ultra SCSI 20MByte/s (同期転送Max値), Fast SCSI 10MByte/s (同期転送Max値), 5MByte/s (非同期転送Max値)
 - EDO-DRAM (×16, 50ns)使用
 - バッファRAMは1M ~ 64Mbit接続可能 (16bit-Data busのEDO-DRAM)。
 - バッファRAMの中のCD main channel, C2 flag, SUB-CODEの領域をユーザが自由に設定可能。
 - 一括転送機能内蔵 (CD main channel, C2 flag, SUB-CODE等を1度に送る機能)。
 - マルチ転送機能内蔵 (複数のBlockを1度にホストへ自動的に送る機能)。

外形図 3210
(unit : mm)



■本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっていません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。

■本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

SANYO : SQFP208

絶対最大定格 / $V_{SS} = 0V$				unit			
電源電圧	$V_{DD5\ max}$	$T_a\ 25$	- 0.3 ~ +6.0	V			
	$V_{DD3\ max}$	$T_a\ 25$	- 0.3 ~ +4.6	V			
入出力電圧	V_{I5}, V_{O5}	$T_a\ 25$	- 0.3 ~ $V_{DD5} + 0.3$	V			
	V_{I3}, V_{O3}	$T_a\ 25$	- 0.3 ~ $V_{DD3} + 0.3$	V			
許容消費電力	$P_d\ max$	$T_a\ 70$	750	mW			
動作周囲温度	T_{opr}		- 30 ~ +70				
保存周囲温度	T_{stg}		- 55 ~ +125				
半田耐熱 (端子のみ)		10秒間	260				
許容動作範囲 / $T_a = - 30 \sim + 70$, $V_{SS} = 0V$				min	typ	max	unit
[I/Oセル5.0V電源]							
電源電圧	V_{DD5}		4.5	5.0	5.5	V	
入力電圧範囲	V_{IN}		0		V_{DD5}	V	
[内部セル3.3V電源]							
電源電圧	V_{DD3}		3.0	3.3	3.6	V	
入力電圧範囲	V_{IN}		0		V_{DD3}	V	
電気的特性 / $T_a = - 30 \sim + 70$, $V_{SS} = 0V, V_{DD} = 4.5 \sim 5.5V$				min	typ	max	unit
入力「H」レベル電圧	V_{IH}	TLL対応 : (2), (14)	2.2			V	
入力「L」レベル電圧	V_{IL}				0.8	V	
入力「H」レベル電圧	V_{IH}	TLL対応プルアップ抵抗付 : (13)	2.2			V	
入力「L」レベル電圧	V_{IL}				0.8	V	
入力「H」レベル電圧	V_{IH}	TLL対応シュミット : (1)	2.5			V	
入力「L」レベル電圧	V_{IL}				0.6	V	
入力「H」レベル電圧	V_{IH}	(15)	2.0			V	
入力「L」レベル電圧	V_{IL}				0.8	V	
入力「H」レベル電圧	V_{IH}	CMOS対応シュミット : (3)	$0.8V_{DD}$			V	
入力「L」レベル電圧	V_{IL}				$0.2V_{DD}$	V	
入力「H」レベル電圧	V_{IH}	CMOS対応プルアップ抵抗付 : (4)	$0.7V_{DD}$			V	
入力「L」レベル電圧	V_{IL}				$0.3V_{DD}$	V	
アナログ入力電圧	V_{ANI}	(5)	$1/4V_{DD}$		$3/4V_{DD}$	V	
出力「H」レベル電圧	V_{OH}	$I_{OH} = - 12mA : (8)$	$V_{DD} - 2.1$			V	
出力「L」レベル電圧	V_{OL}	$I_{OL} = 12mA : (8)$			0.4	V	
出力「H」レベル電圧	V_{OH}	$I_{OH} = - 8mA : (7)$	$V_{DD} - 2.1$			V	
出力「L」レベル電圧	V_{OL}	$I_{OL} = 8mA : (7)$			0.4	V	
出力「H」レベル電圧	V_{OH}	$I_{OH} = - 2mA : (6), (13), (14)$	$V_{DD} - 2.1$			V	
出力「L」レベル電圧	V_{OL}	$I_{OL} = 2mA : (6), (13), (14)$			0.4	V	
出力「L」レベル電圧	V_{OL}	$I_{OL} = 48mA : (15)$			0.4	V	
出力「L」レベル電圧	V_{OL}	$I_{OL} = 8mA : (12)$			0.4	V	
出力「L」レベル電圧	V_{OL}	$I_{OL} = 1mA : (9)$			0.4	V	
出力「H」レベル電圧	V_{OH}	$I_{OH} = - 4mA : (11)$	$V_{DD} - 2.1$			V	
出力「L」レベル電圧	V_{OL}	$I_{OL} = 4mA : (11)$			0.4	V	
アナログ出力電圧	V_{ANO}	(10)	$1/4V_{DD}$		$3/4V_{DD}$	V	
入力リーク電流	I_{IL}	$V_I = V_{SS}, V_{DD} : (1), (2), (14), (15)$	- 10		+ 10	μA	
出力リーク電流	I_{OZ}	H_{iz} 出力時 : (9), (11), (12)	- 10		+ 10	μA	
プルアップ抵抗	RUP	(12), (13)	40	80	160	k	
プルアップ抵抗	RUP	(4)	50	100	200	k	

適応ピンは、次項名前に対応

適用ピン

【INPUT】

- (1)WOBBLE, \overline{CS} , \overline{RD} , \overline{WR} , DEF, HFL, TES
- (2)SUA0 ~ 7, TEST0 ~ 4, \overline{RESET}
- (3)WRITE
- (4)FG
- (5)ADO, AD1, RREC, FE, TE, VREF, FR, OPP, JITIN, PCKISTF, PCKISTP, EFMIN, EFMIN2, SLCIST1, SLCIST2

【OUTPUT】

- (6)LDON
- (7)EFMG, SHOCK, LOCK, EFMO, SSP2/1, RAPC, WAPC, H11TO, LDH, ATEST3, ATEST1, WDAT, NWDAT
- (8)PCK2, RA0 ~ 9, $\overline{CAS0}$ ~ 1, $\overline{RAS0}$ ~ 2, \overline{LWE} , \overline{UWE} , \overline{OE} , SUBSYNC
- (9)PDS1 ~ 3
- (10)DA0 ~ 2, TDO, FDO, SLDO, SPDO, JITC, LOUT, ROUT, PDO, RPO, SLDO, SLCO1 ~ 3
- (11)DSL B
- (12) $\overline{INT0}$, $\overline{INT1}$, \overline{SWAIT}

【INOUT】

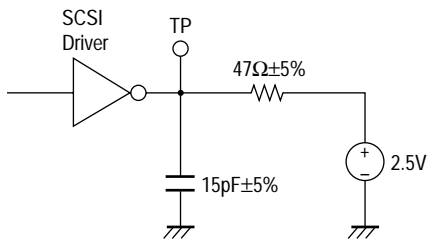
- (13)D0 ~ 7, ID0 ~ 15
 - (14)ATIPSYNC, BICLK, BIDATA, ACRCNG
 - (15) \overline{ACK} , \overline{ATN} , \overline{BSY} , C/D, $\overline{DB0}$ ~ 7, \overline{DBP} , I/O, \overline{MSG} , \overline{REQ} , \overline{RST} , \overline{SEL}
- 注XTAL0 ~ 1, XTALCK0 ~ 1ピンについては、直流特性には含まれない。

SCSI側端子入力特性		min	typ	max	unit
Input Threshold Voltage	V_{t+t1} [$V_{DD} = 4.50 \sim 5.50V$		1.60	2.00	V
	V_{t-t1}]	0.80	1.10		V
Hysteresis width	V_{tt1} $V_{DD} = 5.0V$	0.41	0.5		

Active Negtion出力特性		min	typ	max	unit
Output high voltage	V_{OH}	2.5			V
Output low voltage	V_{OL}			0.4	V

Note : Active Negtion outputs only $\overline{DB0}$ ~ $\overline{DB7}$, \overline{REQ} , \overline{DBPB}

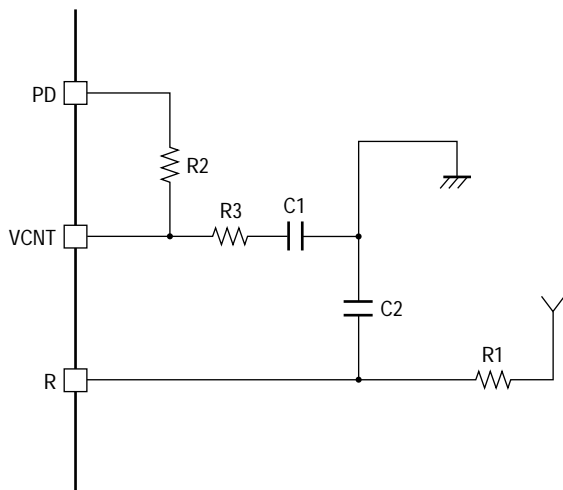
Rise time test circuit



A13188

PLLの外付け回路

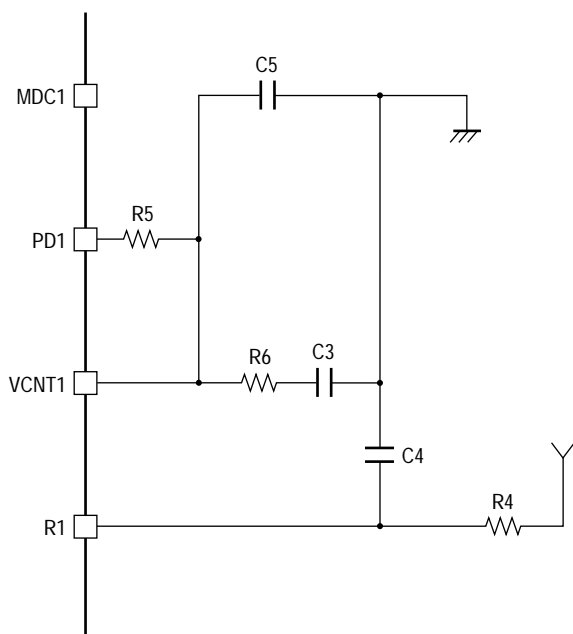
1. 内部基本クロック発振部



記号	値 (typ)	単位
R1	5.6k	
R2	10k	
R3	200	
C1	0.1 μ	F
C2	0.1 μ	F

A13189

2. Write Stratege部

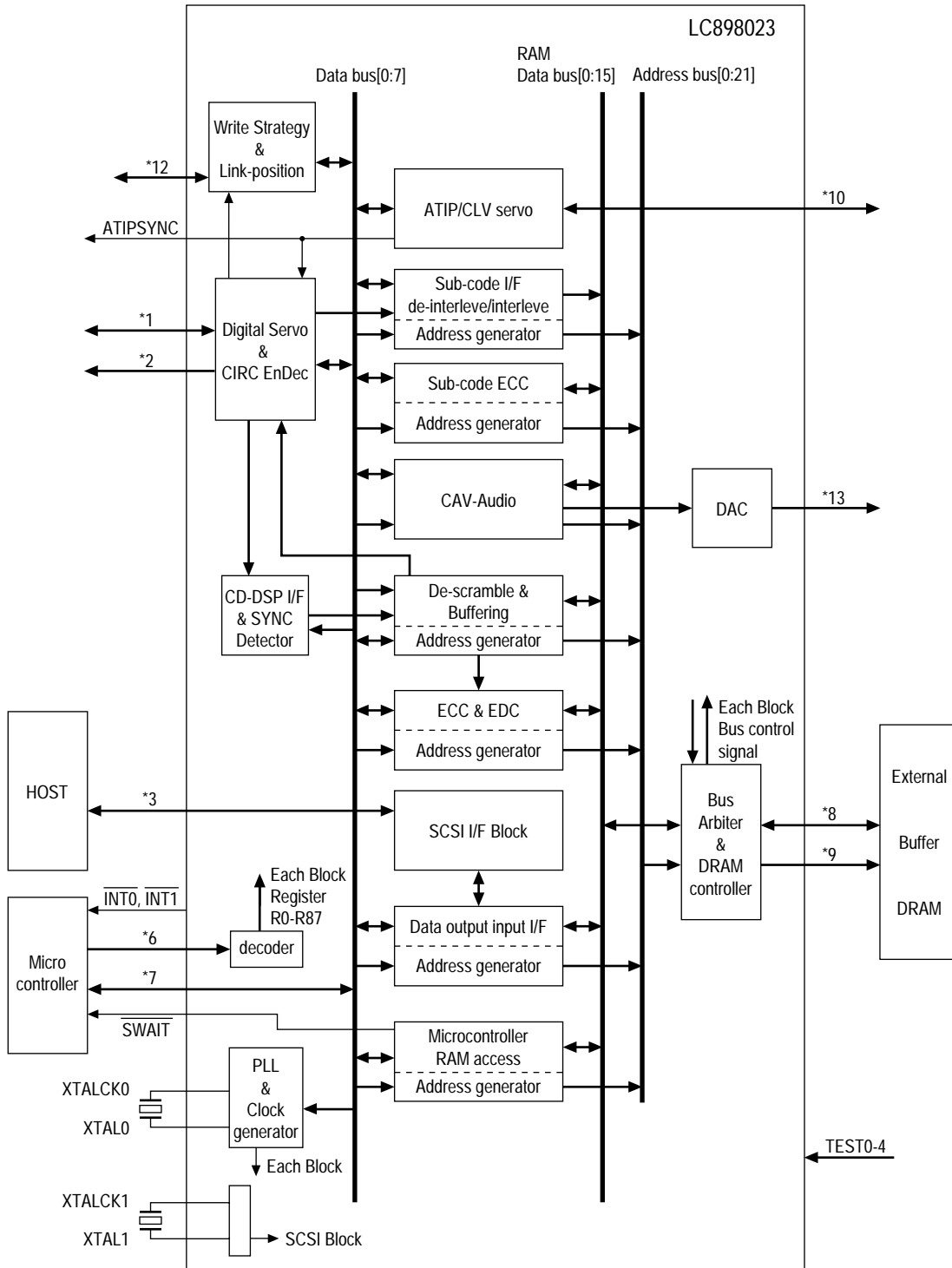


記号	値 (typ)	単位
R4	5.6k	
R5	15k	
R6	220	
C3	0.1 μ	F
C4	0.1 μ	F
C5	0.01 μ ~ 0.001 μ	F

A13190

Analogue V_{DD}, V_{SS} (PN52, PN53, PN90, PN91)はロジック系電源と完全に独立してロジック系電源の変動に左右されないように対策をすること。

ブロック図



A13191

- * 1 DSLB (PN96) ~ FR (PN123), AD0 (PN127) ~ SPDO (PN142), SHOCK (PN147) ~ PCK2 (PN155)
- * 2 SUBSYNC
- * 3 $\overline{DB0} \sim \overline{DB7}$, \overline{DBP} , \overline{BSY} , \overline{MSG} , \overline{SEL} , \overline{RST} , \overline{REQ} , I/O, C/D, \overline{ACK} , \overline{ATN}
- * 6 \overline{RD} , \overline{WR} , $\overline{SUA0} \sim \overline{7}$, \overline{CS}
- * 7 D0 ~ D7
- * 8 IO0 ~ IO15
- * 9 $\overline{RA0} \sim \overline{RA9}$, $\overline{RAS0}$, $\overline{RAS1}$, $\overline{RAS2}$, $\overline{CAS0}$, $\overline{CAS1}$, \overline{OE} , \overline{UWE} , \overline{LWE}
- * 10 WOBBLE, BIDATA, BICLK
- * 12 \overline{WRITE} , $\overline{SSP2/1}$, \overline{RAPC} , \overline{WAPC} , H11T0, LDH, $\overline{TEST2/1}$, \overline{WDAT} , \overline{NWDAT} , \overline{EFMG}
- * 13 LOUT, ROUT

端子一覧

タイプ/type					
I	入力ピン INPUT	B	双方向ピン BIDIRECTION	NC	接続せず NOT CONNECT
O	出力ピン OUTPUT	P	電源ピン POWER	A	アナログピン Analog

番号 NO	端子名 SIGNAL	タイプ TYPE	端子説明 COMMENT
1	V _{SS}	P	Digital系V _{SS}
2	RA4	O	ROM-Enc/Dec用DRAMのアドレス信号端子
3	RA5	O	
4	RA6	O	
5	RA7	O	
6	RA8	O	
7	RA9	O	
8	V _{DD}	P	Digital系5V
9	V _{SS}	P	Digital系V _{SS}
10	IO0	B	ROM-Enc/Dec用バッファRAMのデータ信号端子 プルアップ抵抗内蔵
11	IO1	B	
12	IO2	B	
13	IO3	B	
14	IO4	B	
15	IO5	B	
16	V _{DD}	P	Digital系3.3V
17	V _{SS}	P	Digital系V _{SS}
18	IO6	B	ROM-Enc/Dec用バッファRAMのデータ信号端子 プルアップ抵抗内蔵
19	IO7	B	
20	IO8	B	
21	IO9	B	
22	IO10	B	
23	V _{SS}	P	
24	V _{DD}	P	Digital系5V
25	IO11	B	ROM-Enc/Dec用バッファRAMのデータ信号端子 プルアップ抵抗内蔵
26	IO12	B	
27	IO13	B	
28	IO14	B	
29	IO15	B	
30	ATIPSYNC	I	ATIPのSYNC検出信号
31	BIDATA	B	ATIPデモジュレータ用入出力信号
32	BICLK	B	
33	WOBBLE	I	
34	V _{DD}	P	
35	V _{SS}	P	Digital系V _{SS}
36	ACRCNG	O	ATIP-CRC NG信号
37	WRITE	I	Write Strategy信号制御用入力端子
38	SSP2	O	サーボ用サンプリングパルス出力
39	SSP1	O	サーボ用サンプリングパルス出力
40	RAPC	O	レーザ制御用サンプリングパルス出力
41	WAPC	O	レーザ制御用サンプリングパルス出力
42	H11T0	O	ランニングOPC用サンプリングパルス

次ページへ続く。

前ページから続く。

番号 NO	端子名 SIGNAL	タイプ TYPE	端子説明 COMMENT
43	LDH	O	記録用LD制御信号出力
44	VDD	P	Digital系3.3V
45	VSS	P	Digital系VSS
46	AATEST3	O	アナログ部テスト出力
47	AATEST1	O	アナログ部テスト出力
48	WDAT	O	記録用LD制御信号出力
49	NWDAT	O	記録用LD制御信号出力 (WDAT反転)
50	VDD	P	Analog系3.3V
51	VSS	P	Analog系VSS
52	VDD	P	Digital系5V
53	VSS	P	Digital系VSS
54	R1	I	Write Strategy用アナログ端子
55	VCNT1	I	
56	MDC1	I	
57	PD1	O	
58	SWAIT	O	マイコンへのウエイト信号
59	INT0	O	マイコンへの割り込み要求信号出力端子
60	INT1	O	プルアップ抵抗内蔵のオープンドレイン出力である
61	D0	B	マイコン・データ信号端子 プルアップ抵抗内蔵
62	D1	B	
63	D2	B	
64	D3	B	
65	D4	B	
66	D5	B	
67	D6	B	
68	VDD	P	Digital系5V
69	VSS	P	Digital系VSS
70	D7	B	マイコン・データ信号端子
71	SUA0	I	コマンドレジスタ選択アドレス
72	SUA1	I	
73	SUA2	I	
74	SUA3	I	
75	SUA4	I	
76	SUA5	I	
77	SUA6	I	
78	SUA7	I	
79	CS	I	マイコンからのチップセレクト信号入力端子
80	RD	I	マイコンのデータ読み出し信号入力端子
81	WR	I	マイコンのデータ書き込み信号入力端子
82	TEST0	I	テスト用端子。VSSに接続すること
83	VCNT	I	VCOコントロール電圧端子
84	R	I	VCOのバイアス抵抗用端子
85	PD	O	チャージポンプ出力端子
86	VDD	P	Analog系3.3V
87	VSS	P	Analog系VSS
88	TEST1	I	テスト用端子。VSSに接続すること
89	RESET	I	RESET端子
90	XTALCK0	I	X'tal発振回路入力端子 (33.8688MHz)

次ページへ続く。

前ページから続く。

番号 NO	端子名 SIGNAL	タイプ TYPE	端子説明 COMMENT
91	XTAL0	O	X'tal発振回路出力端子
92	ROUT	O	DAC出力
93	VSS	P	Analog系VSS
94	VDD	P	Analog系5V
95	LOUT	O	DAC出力
96	DSLБ	O	SLC用PWM出力
97	SLCIST1	I	EFMスライスレベル設定入力端子
98	SLCIST2	I	
99	VSS	P	Analog系VSS
100	VDD	P	Analog系3.3V
101	SLCO0	O	EFMスライスレベル出力
102	SLCO1	O	
103	SLCO2	O	
104	VDD	P	Digital系5V
105	VSS	P	Digital系VSS
106	SLCO3	O	EFMスライスレベル出力
107	EFMIN	I	EFM入力端子
108	EFMIN2	I	
109	JITIN	I	ジッター判定入力
110	JITC	O	ジッター出力
111	RPO	O	P/Nバランス調整端子
112	OPP	I	
113	PCKISTF	I	周波数比較チャージポンプ端子
114	PCKISTP	I	位相比较チャージポンプ端子
115	VSS	P	Analog系VSS
116	VDD	P	Analog系3.3V
117	PDO	O	チャージポンプ用フィルタ
118	PDS1	O	チャージポンプSelect端子
119	PDS2	O	
120	VDD	P	Digital系3.3V
121	VSS	P	Digital系VSS
122	PDS3	O	チャージポンプSelect端子
123	FR	I	VCO周波数設定端子
124	TEST2	I	テスト用端子。VSSに接続すること
125	TEST3	I	テスト用端子。VSSに接続すること
126	TEST4	I	テスト用端子。VSSに接続すること
127	AD0	I	AD入力
128	RREC	I	光学判定用入力端子
129	FE	I	FE入力端子
130	TE	I	TE入力端子
131	VREF	I	VREF入力端子
132	AD1	I	AD入力
133	VSS	P	Analog系VSS
134	DA0	O	DA出力
135	DA1	O	DA出力
136	DA2	O	DA出力
137	TDO	O	トラッキング出力

次ページへ続く。

前ページから続く。

番号 NO	端子名 SIGNAL	タイプ TYPE	端子説明 COMMENT
138	V _{DD}	P	Analog系5V
139	V _{SS}	P	Analog系V _{SS}
140	FDO	O	フォーカス出力
141	SLDO	O	スレッド出力
142	SPDO	O	スピンドル出力
143	V _{SS}	P	Digital系V _{SS}
144	V _{DD}	P	Digital系3.3V
145	SUBSYNC	O	サブコードSYNC信号
146	EFMG	O	EFM Gate信号
147	SHOCK	O	ショック検出信号出力端子
148	LOCK	O	PLLロック状態出力端子
149	DEF	I	ディフェクト検出信号入力端子
150	HFL	I	ミラー検出信号入力端子
151	TES	I	TESコンパレータ用入力端子
152	EFMO	O	2値化後のEFM信号出力端子
153	LDON	O	Laserコントロール端子
154	FG	I	FG入力端子
155	PCK2	O	PCK出力
156	V _{DD}	P	Digital系5V
157	V _{SS}	P	Digital系V _{SS}
158	XTALCK1	I	SCSI I/F用X'tal発振回路入力端子 (20MHz)
159	XTAL1	O	SCSI I/F用X'tal発振回路出力端子
160	$\overline{DB0}$	B	SCSI端子
161	V _{SS}	P	Digital系V _{SS}
162	$\overline{DB1}$	B	SCSI端子
163	$\overline{DB2}$	B	
164	V _{DD}	P	Digital系5V
165	$\overline{DB3}$	B	SCSI端子
166	$\overline{DB4}$	B	
167	V _{SS}	P	Digital系V _{SS}
168	$\overline{DB5}$	B	SCSI端子
169	$\overline{DB6}$	B	
170	$\overline{DB7}$	B	
171	V _{SS}	P	Digital系V _{SS}
172	V _{DD}	P	Digital系5V
173	V _{SS}	P	Digital系V _{SS}
174	\overline{DBP}	B	SCSI端子
175	\overline{ATN}	B	
176	\overline{BSY}	B	
177	V _{SS}	P	Digital系V _{SS}
178	\overline{ACK}	B	SCSI端子
179	\overline{RST}	B	
180	V _{DD}	P	Digital系5V
181	\overline{MSG}	B	SCSI端子
182	\overline{SEL}	B	
183	V _{SS}	P	Digital系V _{SS}
184	C/D	B	SCSI端子

次ページへ続く。

前ページから続く。

番号 NO	端子名 SIGNAL	タイプ TYPE	端子説明 COMMENT
185	V _{SS}	P	Digital系V _{SS}
186	V _{DD}	P	Digital系5V
187	$\overline{\text{REQ}}$	B	SCSI端子
188	I/O	B	
189	V _{SS}	P	Digital系V _{SS}
190	V _{DD}	P	Digital系3.3V
191	V _{SS}	P	Digital系V _{SS}
192		NC	未接続
193		NC	未接続
194	$\overline{\text{RAS0}}$	O	DRAMのRAS信号出力端子
195	$\overline{\text{RAS1}}$	O	
196	$\overline{\text{RAS2}}$	O	
197	$\overline{\text{LWE}}$	O	DRAMのLower Write Enable
198	V _{DD}	P	Digital系5V
199	V _{SS}	P	Digital系V _{SS}
200	$\overline{\text{UWE}}$	O	DRAMのUpper Write Enable
201	$\overline{\text{CAS0}}$	O	DRAMのCAS信号出力端子
202	$\overline{\text{CAS1}}$	O	
203	$\overline{\text{OE}}$	O	DRAMのOutput Enable
204	RA0	O	ROM-Enc/Dec用DRAMのアドレス信号端子
205	RA1	O	
206	RA2	O	
207	RA3	O	
208	V _{DD}	P	Digital系5V

端子説明

SCSI I/F用端子

BSY, ACK, MSG, SEL, REQ, ATN, RST, I/O, C/D (入力/出力)

SCSIバスコントロール端子。

DB0 ~ DB7, DBP (入力/出力)

SCSIデータバス端子。

Microcontroller I/F用端子

$\overline{\text{CS}}$ (入力)

Microcontroller側チップセレクトである。「L」ですべてのMicrocontroller I/Fがアクティブになる。

$\overline{\text{RD}}$, $\overline{\text{WR}}$ (入力)

MicrocontrollerのRead/Writeに接続する。

SWAIT (出力)

Microcontrollerに対するWAIT信号である。MicrocontrollerがバッファRAMをアクセスする時に、この端子が「L」の時は待つ必要がある。

SUA0 ~ SUA7 (入力)

内部レジスタのアドレス端子である。

D0 ~ D7 (入力)

Microcontroller側データバスである。pull-up抵抗内蔵。

INT0, INT1 (出力)

Microcontrollerへの割り込み要求信号である。INT1EN (Conf-R11-bit7)の設定により $\overline{\text{INT1}}$ にATAPI側の割り込みが出力される。

80k (室温, 5V)のpull-up抵抗を内蔵したオープンドレイン出力である。

バッファRAM用端子

I/O0 ~ IO15 (入力/出力)

バッファRAM用データバスである。pull-up抵抗内蔵。

RA0 ~ RA9 (出力)

バッファRAM用アドレス端子である。

RAS0, RAS1, RAS2 (出力)

バッファDRAM用RAS出力端子である。通常はRAS0を使用するが、16Mbit DRAMを2個使用する時は、各々のDRAMのRAS端子にRAS0, RAS1を接続すること。16Mbit-DRAMを4個使用する場合は、各々のDRAMのRAS端子にRAS0, RAS1, RAS2, LWEを接続すること。

CAS0, CAS1 (出力)

バッファDRAM用CAS出力端子である。通常はCAS0を使用する。16Mbit DRAMを2個使用する時は、各々のDRAMのCAS端子にCAS0出力を接続すること。また、2CAS TypeのDRAMを使用する場合は、CAS0 = UCAS、CAS1 = LCASに接続すること。

OE (出力)

バッファRAM用Read端子である。

UWE, LWE (出力)

バッファRAM用Write端子である。各々の端子に接続すること。2CAS TypeのDRAMを使用する場合はUWEを接続すること (LWEはOPEN)。

1. アナログI/F用端子

RREC (入力)

光学判定用入力端子。

FE (入力)

フォーカスエラー信号入力端子。

TE (入力)

トラッキングエラー信号入力端子。

VREF (入力)

サーボシステムのリファレンスレベル入力端子。

AD0, AD1, AD2 (入力)

A/D用補助入力端子。

DA0, DA1, DA2 (入力)

D/A用補助入力端子。

TES (入力)

TESコンパレータ用入力端子。

TDO (出力)

トラッキング制御信号出力端子。

FDO (出力)

フォーカス制御信号出力端子。

SLDO (出力)

スレッド制御信号出力端子。

SPDO (出力)

スピンドル制御信号出力端子。

2. EFM入力部用端子

EFMIN (入力)

EFM信号入力端子。

RFアンプで得られたRF信号をCカットして、SLC00 ~ 3の出力をLPFに通した値でバイアスしたものを入力する。

EFMIN2 (入力)

LPF定数変更端子。

SLCIST1, SLCIST2 (入力)

スライスレベルコントローラ用チャージポンプのバイアス抵抗接続端子。

SLCO0, SLCO1, SLCO2, SLCO3 (出力)

スライスレベルコントローラ用チャージポンプの出力端子。

LPFを通してEFMINに入力されるRF信号をバイアスする。

DSL B (出力)

スライスレベルコントローラ用PWM出力端子。

EFMO (出力)

2値化後のEFM信号出力端子 (モニタ用)。

3. EFMクロック生成部用端子

FR (入力)

EFM再生用PLLのVCOバイアス抵抗接続端子。

PDO, PDS1, PDS2, PDS3 (出力)

EFM再生用PLLのラグリードフィルタ接続端子。

PCKISTF (入力)

EFM再生用PLLの周波数比較器用チャージポンプのバイアス抵抗接続端子。

PCKISTP (入力)

EFM再生用PLLの位相比较器用チャージポンプのバイアス抵抗接続端子。

RPO (出力)

P/Nバランス調整端子。

OPP (入力)

P/Nバランス調整端子。

PCK2 (出力)

EFM再生用ビットクロック出力端子。

4. ジッタ判定用端子

JITIN (入力)

ジッタ判定入力。

JITC (出力)

ジッタ出力。

5. スピンドル回転検出用端子

FG (入力)

スピンドルドライバからの回転モニタ用信号入力端子。

6. オーディオI/F用端子

LOUT, ROUT (出力)

Lチャンネル、Rチャンネルのオーディオ信号出力端子。

7. RFアンプI/F用端子

LDON (出力)

RFアンプとのI/F用端子。

8. ライトストラテジ用端子

WRITE, SSP2/1, RAPC, WAPC, H11T0, LDH, ATEST3, 1, WDAT, NWDAT (入出力)

ライトストラテジ用信号端子である。

9. ATIPデコーダ関係端子。

ATIPSYNC (出力)

ATIP-SYNC検出信号 (モニタ用)。

BIDATA, BICLK (入出力)

入力時：外部ATIP-Demodulatorを使用時 Bi-phase-data & Bi-phase-clockを入力する。

出力時：内部ATIP-Demodulatorを使用時 Bi-phase-data & Bi-phase-clockを出力する (モニタ用)。

WOBBLE (入力)

内部ATIP-Demodulatorを使用時WOBBLE信号を入力する。

ACRCNG (出力)

ATIP-decoderのCRC-checkの結果を出力する (モニタ用)。

その他の端子

RESET (入力)

LC898023のリセット端子である。「L」レベルでリセットされる。

パワーオン時には約1 μ s以上の期間、「L」レベルに保持する必要がある。

TEST4 ~ 0 (入力)

テスト端子である。GNDに接続すること。

XTALCK0 (入力), XTAL0 (出力)

33.8688MHzで発振させる。そのままROM-EnDec部 (DRAM I/F含む)の基本クロックとなる。

XTALCK1 (入力), XTAL1 (出力)

SCSIブロックのmain clock。LC898023は、ECC、SCSIブロックが非同期でも動作するように設計してある。従ってXTALCK1, XTAL1で20MHzを入力すれば、正確な同期転送10Mbyte/s (Ultra SCSI : 20MB/s)が達成できる。最大使用周波数は20MHzまでである。

Ultra SCSIを行う場合はクロックの両エッジを使用しているのでXTALCK1/XTAL1端子を使用して帰還抵抗を加える等、Duty比には気をつけること。

R, VCNT, PDO, R1, VCNT1, PD1, MDC1 (入出力)

クロックを生成するPLL用端子である。

SUBSYNC(出力)

記録時のCIRC-encoderからのSub-code-SYNC出力信号 (モニタ用)。

EFMG (出力)

記録中に「H」を出力する。

SHOCK (出力)

再生時SHOCKを検出した時、「H」を出力する。

LOCK (出力)

PLLがロックした時、「H」を出力する。

DEF (入力)

Defect検出信号を入力する。

HFL (入力)

ミラー検出信号を入力する。

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替および外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。